

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-181711  
(43)Date of publication of application : 11.07.1997

(51)Int. Cl. H04L 7/033  
H03L 7/06  
H04L 25/40

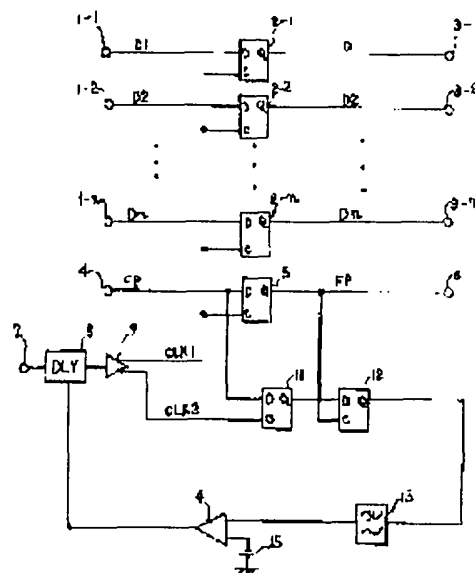
(21)Application number : 07-338747 (71)Applicant : NEC CORP  
(22)Date of filing : 26.12.1995 (72)Inventor : ASAHI KOJI

## (54) CLOCK PULSE PHASE CONTROL CIRCUIT

### (57) Abstract:

**PROBLEM TO BE SOLVED:** To provide the clock pulse phase control circuit controlling a data signal and a clock pulse so as to have a proper phase relation at all times by absorbing a phase fluctuation or the like due to an ambient temperature change of the circuit and a power supply fluctuation or the like without employing an expensive component and a complicated temperature compensation circuit.

**SOLUTION:** The clock signal phase control circuit has a means that detects a phase difference between a frame pulse given to a frame pulse input terminal 4 and a clock pulse given to a clock pulse input terminal 7 and controls a phase of the clock pulse depending on the phase difference. The means controlling the phase of the clock pulse includes a flip-flop 5, a delay circuit 8, a buffer 9, flip-flop circuits 11, 12, a low pass filter 13 and an operational amplifier 14.



## LEGAL STATUS

[Date of request for examination] 26.12.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2967713

[Date of registration] 20.08.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-181711

(43)公開日 平成9年(1997)7月11日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 7/033			H 0 4 L 7/02	B
H 0 3 L 7/06		9199-5K	25/40	C
H 0 4 L 25/40			H 0 3 L 7/06	J

審査請求 有 請求項の数3 O L (全 4 頁)

(21)出願番号 特願平7-338747

(22)出願日 平成7年(1995)12月26日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 朝日 光司

東京都港区芝五丁目7番1号 日本電気株式会社内

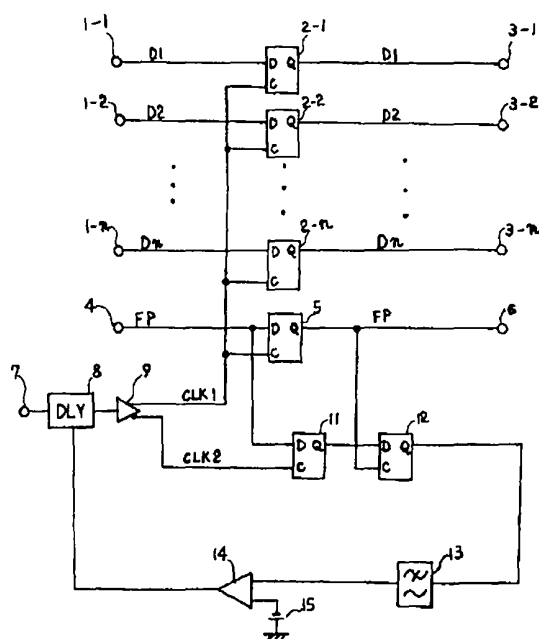
(74)代理人 弁理士 後藤 洋介 (外2名)

(54)【発明の名称】 クロックパルス位相制御回路

(57)【要約】

【課題】 高価な部品や複雑な温度補償回路を用いることなく、回路の周囲温度変化、電源変動等による位相変動等を吸収し、データ信号とクロックパルスを常に最適な位相関係なるよう制御できるクロックパルス位相制御回路を提供する。

【解決手段】 フレームパルス入力端子4に入力されるフレームパルスとクロックパルス入力端子7に入力されるクロックパルスとの間の位相差を検出し、この位相差に応じてクロックパルスの位相を制御する手段を有している。クロックパルスの位相を制御する手段は、フリップフロップ5と、遅延回路8と、バッファ9と、フリップフロップ11および12と、低域通過フィルタ13と、演算増幅器14とを含んでいる。



## 【特許請求の範囲】

【請求項1】 データ信号、フレーム識別パルス信号、およびクロックパルスを入力し、データ信号およびフレームパルスをリタイミングするインタフェース回路において、フレームパルスとクロックパルスとの間の位相差を検出し、この位相差に応じてクロックパルスの位相を制御する手段を有することを特徴とするクロックパルス位相制御回路。

【請求項2】 前記クロックパルスの位相を制御する手段は、入力されたクロックパルスの位相を制御電圧に応じて変化させる遅延回路と、遅延したクロックパルスを入力し、互いに位相が180度異なる正相および逆相2種類のクロックパルスを生成し、正相クロックをデータ信号およびフレームパルスをリタイミングするためのクロックとして使用する一方、逆相クロックを入力フレームパルスのみをリタイミングするためのクロックとして使用する手段と、逆相クロックでリタイミングされたフレームパルスを、正相クロックでリタイミングされたフレームパルスによって再度リタイミングする手段と、再度リタイミングされたフレームパルスの波形の高周波成分を取り除く低域通過フィルタと、前記低域通過フィルタの出力が一定となるように前記遅延回路の制御入力に負帰還をかける手段とを含む請求項1に記載のクロックパルス位相制御回路。

【請求項3】 正相クロックによってフレームパルスをリタイミングする第1のフリップフロップと、逆相クロックによって入力フレームパルスのみをリタイミングする第2のフリップフロップと、前記第2のフリップフロップによってリタイミングされたフレームパルスを前記第1のフリップフロップによってリタイミングされたフレームパルスによって再度リタイミングする第3のフリップフロップとを有する請求項2に記載のクロックパルス位相制御回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、ディジタル信号処理装置に適用されるインタフェース回路に関し、特に、データ信号とクロックパルス信号との間の位相制御を行うクロックパルス位相制御回路に関する。

## 【0002】

【従来の技術】従来のクロックパルス位相制御回路の一例を図4に示す。図4を参照すると、このクロックパルス位相制御回路は、データ信号入力端子51-1～51-nと、フリップフロップ（以後、一部を除いてF/Fと記す）52-1～52-nと、データ信号出力端子53-1～53-nと、フレームパルス（以後、一部を除いてFPと記す）入力端子54と、F/F55と、FP出力端子56と、クロックパルス入力端子57と、遅延回路58と、バッファ59とを有している。

【0003】データ信号入力端子51-nに入力された

n本のデータ信号は、F/F52-nのデータ入力端子に入力される。F/F52-nでは、入力されたデータ信号から、それぞれ同じ位相のクロックパルスによってリタイミングし、識別再生されたn本のデータ信号をデータ信号出力端子53-nに出力する。また同様に、FP入力端子54に入力されたFPも、F/F55において前述のF/F52-nと同じ位相のクロックパルスによりリタイミングされ、FP出力端子56に出力される。クロックパルス入力端子57に入力されたクロックパルスは、同軸ケーブルや分布定数型の遅延線等で構成される遅延回路58を経て、バッファ59により、各F/F52-nおよび55に対して同位相のクロックパルスを供給する。

【0004】従来技術において、各F/Fに入力されるデータ信号およびFPとクロックパルスとの間の位相は、遅延回路58の遅延量を最初に設定し、最適位相に調整されるものである。

## 【0005】

【発明が解決しようとする課題】前述した従来例は、クロックパルスの位相を最初に設定し、その後はこの設定値で動作するため、回路の周囲温度変化、電源変動等による位相変動は、全てF/Fの入力位相マージンで吸収しなければならなかった。このため、各回路の位相変動を可及的抑えるために、高価な部品や複雑な温度補償回路を必要とする場合があった。しかし、このような方法を用いても、あくまで開ループ制御であるので、位相変動を完全に抑圧することはできない。

【0006】本発明の課題は、高価な部品や複雑な温度補償回路を用いることなく、回路の周囲温度変化、電源変動等による位相変動等を吸収し、データ信号とクロックパルスを常に最適な位相関係なるよう制御できるクロックパルス位相制御回路を提供することである。

## 【0007】

【課題を解決するための手段】本発明によれば、データ信号、フレーム識別パルス信号、およびクロックパルスを入力し、データ信号およびフレームパルスをリタイミングするインタフェース回路において、フレームパルスとクロックパルスとの間の位相差を検出し、この位相差に応じてクロックパルスの位相を制御する手段を有することを特徴とするクロックパルス位相制御回路が得られる。

【0008】本発明によればまた、前記クロックパルスの位相を制御する手段は、入力されたクロックパルスの位相を制御電圧に応じて変化させる遅延回路と、遅延したクロックパルスを入力し、互いに位相が180度異なる正相および逆相2種類のクロックパルスを生成し、正相クロックをデータ信号およびフレームパルスをリタイミングするためのクロックとして使用する一方、逆相クロックを入力フレームパルスのみをリタイミングするためのクロックとして使用する手段と、逆相クロックでリ

タイミングされたフレームパルスを、正相クロックでリタイミングされたフレームパルスによって再度リタイミングする手段と、再度リタイミングされたフレームパルスの波形の高周波成分を取り除く低域通過フィルタと、前記低域通過フィルタの出力が一定となるように前記遅延回路の制御入力に負帰還をかける手段とを含む前記クロックパルス位相制御回路が得られる。さらに、正相クロックによってフレームパルスをリタイミングする第1のフリップフロップと、逆相クロックによって入力フレームパルスのみをリタイミングする第2のフリップフロップと、前記第2のフリップフロップによってリタイミングされたフレームパルスを前記第1のフリップフロップによってリタイミングされたフレームパルスによって再度リタイミングする第3のフリップフロップとを有するクロックパルス位相制御回路が得られる。

【0009】

【発明の実施の形態】以下、図面を参照して、本発明によるクロックパルス位相制御回路を詳細に説明する。

【0010】図1は、本発明の実施の一形態によるクロックパルス位相制御回路を示す図である。図2(a)～(g)は、本クロックパルス位相制御回路における各部の波形例を示す図であり、(a)はデータ信号、(b)はフレームパルス、(c)、(d)は後述するCLK1、CLK2、(e)～(g)は後述する3つのフリップフロップそれぞれの出力を示す。図3は、本クロックパルス位相制御回路の特性例を示す図である。

【0011】図1において、本クロックパルス位相制御回路は、データ信号入力端子1-1～1-nと、フリップフロップ(F/F)2-1～2-nと、データ信号出力端子3-1～3-nと、フレームパルス(FP)入力端子4と、F/F5と、FP出力端子6と、クロックパルス入力端子7と、遅延回路8と、バッファ9と、F/F11および12と、低域通過フィルタ(LPF)13と、演算増幅器14と、基準電圧15とを有している。

【0012】図1～図3を参照して、データ信号入力端子1-nに入力されたn本のデータ信号は、F/F52-nのデータ入力端子に入力される。データ入力1-nおよびFPは、F/F2-nおよび5においてリタイミングされ、データ信号出力端子3-nおよびFP出力端子6へ出力される。

【0013】F/F2-nおよびFPをリタイミングするクロックは、クロックパルス入力端子7より入力されたクロックを、遅延回路8およびバッファ9を介して供給されるものであり、これをCLK1とする。また、このCLK1に対して位相が180度異なるクロックパルスが同じくバッファ9から出力されており、これをCLK2とする。

【0014】F/F11では、F/F5に入力されるFPと同じFPをCLK2によってリタイミングする(図2(e))。F/F11の出力は、F/F12におい

て、F/F5の出力FPにより再度リタイミングされる。ここで、F/F5とF/F11の動作に注目すると、この2つのF/Fは同じFPを入力していると共に、それぞれ位相関係が180度異なったクロックパルスCLK1およびCLK2を基にリタイミングしている。このため、F/F5が位相最適点で動作している場合、F/F11は位相最悪点で動作し、逆にF/F5が位相最適点で動作している場合、F/F11では位相最悪点で動作することになる。

【0015】図2は、F/F5が位相最適点で動作している場合を示すが、F/F11では、位相最悪点で動作しており、出力波形は、図2(e)のように、1クロック分不定となる箇所が発生する。この1クロック分の不定箇所をF/F5の出力FPで引き延ばし、F/F12の出力には図2(g)のような波形が現れる。F/F11が位相最悪状態であるときは、このF/F12の出力は、HレベルとLレベルがほぼ等しく出現するため、LPF13の出力電圧は、図3のようになる。そして、LPF13の出力が最適点になるように、演算増幅器14および基準電圧15を介して遅延回路8に負帰還をかける。

【0016】

【発明の効果】本発明によるクロックパルス位相制御回路は、フレームパルスとクロックパルスとの間の位相差を検出し、この位相差に応じてクロックパルスの位相を制御する手段を有しているため、データ信号とクロックパルスが常に最適な位相関係となるように制御され、温度変動、電源電圧変動、経年変動等による、データ、クロックの位相変動が吸収され、最適な位相関係が保たれる。

【図面の簡単な説明】

【図1】本発明の実施の一形態によるクロックパルス位相制御回路を示す図である。

【図2】(a)～(g)は、図1に示すクロックパルス位相制御回路における各部の波形例を示す図である。

【図3】図1に示すクロックパルス位相制御回路における特性例である。

【図4】従来例によるクロックパルス位相制御回路を示す図である。

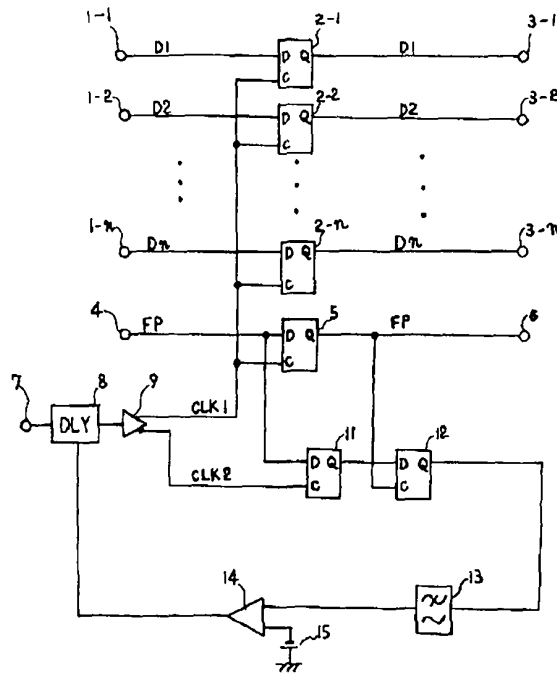
【符号の説明】

- 1-1～1-n データ信号入力端子
- 2-1～2-n フリップフロップ(F/F)
- 3-1～3-n データ信号出力端子
- 4 フレームパルス(FP)入力端子
- 5 F/F
- 6 FP出力端子
- 7 クロックパルス入力端子
- 8 遅延回路
- 9 バッファ
- 11、12 F/F

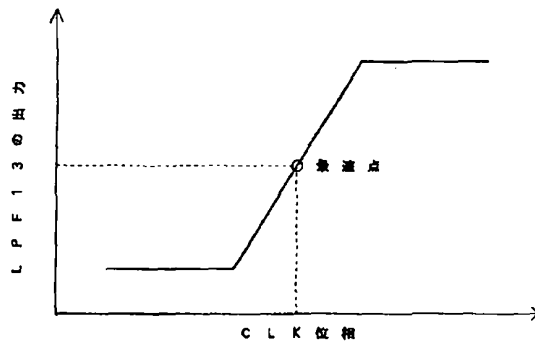
13 低域通過フィルタ (LPF)  
14 演算増幅器

15 基準電圧

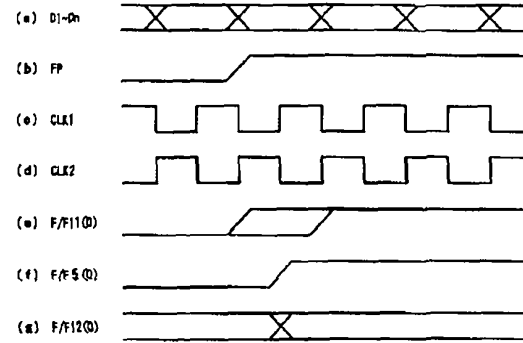
【図1】



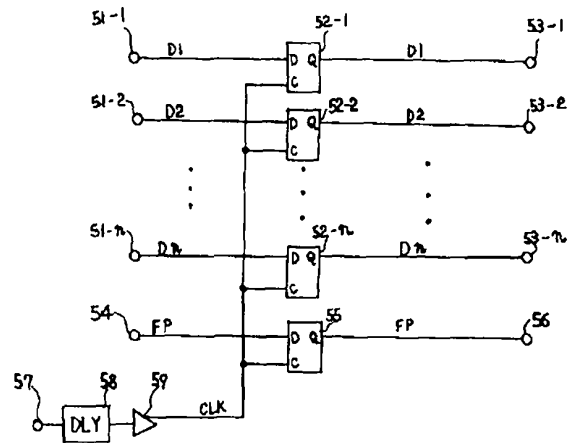
【図3】



【図2】



【図4】



# PATENT ABSTRACTS OF JAPAN

(11)Publication **09-181711**  
number :

(43)Date of **11.07.1997**  
publication of  
application :

(51)Int.Cl.

**H04L 7/033**

**H03L 7/06**

**H04L 25/40**

(21)Application **07-338747**  
number :

(22)Date of **26.12.1995**  
filing :

(71)Applicant : **NEC CORP**

(72)Inventor : **ASAHI KOJI**

## (54) CLOCK PULSE PHASE CONTROL CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide the clock pulse phase control circuit controlling a data signal and a clock pulse so as to have a proper phase relation at all times by absorbing a phase fluctuation or the like due to an ambient temperature change of the circuit and a power supply fluctuation or the like without employing an expensive component and a complicated temperature compensation circuit.

**SOLUTION:** The clock signal phase control circuit has a means that detects a phase difference between a frame pulse given to a frame pulse input terminal 4 and a clock pulse given to a clock pulse input terminal 7 and controls a phase of the clock pulse depending on the phase difference. The means controlling the phase of the clock pulse includes a flip-flop 5, a delay circuit 8, a buffer 9, flip-flop circuits 11, 12, a low pass filter 13 and an operational amplifier 14.

### LEGAL STATUS

[Date of request for examination] 26.12.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2967713

[Date of registration] 20.08.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

### \* NOTICES \*

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

## DETAILED DESCRIPTION

### [Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the clock pulse phase control circuit which performs phase control between a data signal and a clock pulse signal especially about the interface circuitry applied to digital-signal-processing equipment.

[0002]

[Description of the Prior Art] An example of the conventional clock pulse phase control circuit is shown in drawing 4. When drawing 4 is referred to, this clock pulse phase control circuit The data signal input terminal 51-1 - 51-n, and a flip-flop (except for a part, it is henceforth described as F/F) 52-1 - 52-n, It has the data signal output terminal 53-1 - 53-n, the frame pulse (except for part, it is henceforth described as FP) input terminal 54, F/F55, the FP output terminal 56, the clock pulse input terminal 57, the delay circuit 58, and the buffer 59.

[0003] n data signals inputted into data signal input terminal 51-n are inputted into the data input terminal of F/F52-n. In F/F52-n, retiming is carried out by the clock pulse of the respectively same phase from the inputted data signal, and n data signals by which discernment reproduction was carried out are outputted to data signal output terminal 53-n. Moreover, similarly, in F/F55, retiming also of the FP inputted into the FP input terminal 54 is carried out by the clock pulse of the same phase as the above-mentioned F/F52-n, and it is outputted to the FP output terminal 56. The clock pulse inputted into the clock pulse input terminal 57 supplies a clock pulse in phase to F/each F52-n and 55 with a buffer 59 through the delay circuit 58 which consists of a coaxial cable, the distributed constant type delay line, etc.

[0004] In the conventional technology, the phase between a data signal, and FP and the clock pulse which are inputted into each F/F sets up the amount of delay of a delay circuit 58 first, and is adjusted to the optimal phase.

[0005]

[Problem(s) to be Solved by the Invention] Since the conventional example mentioned above set up the phase of a clock pulse first and after that operated with this set point, all phase change by ambient-temperature change of a circuit, the source effect, etc. had to absorb by the input phase margin of F/F. For this reason, in order to suppress phase change of each circuit as much as possible, there was a case where expensive parts and a complicated temperature-compensation circuit were needed. However, even if it uses such a method, since it is an open loop control to the last, phase change cannot be oppressed completely.

[0006] the phase change [ without using expensive parts and a complicated temperature-compensation circuit for the technical problem of this invention ] by ambient-temperature change of a circuit, the source effect, etc. -- absorbing -- a data signal and a clock pulse -- the always optimal phase -- a relation -- it needs -- it is offering a controllable clock pulse phase control circuit

[0007]

[Means for Solving the Problem] According to this invention, a data signal, a frame discernment pulse signal, and a clock pulse are inputted, the phase contrast between a frame pulse and a clock pulse is detected in the interface circuitry which carries out retiming of a data signal and the frame pulse, and the clock pulse phase control circuit characterized by having a means to control the phase of a clock pulse according to this phase contrast is obtained.

[0008] A means to control the phase of the aforementioned clock pulse again according to this invention The delay circuit to which the phase of the inputted clock pulse is changed according to a control voltage, Input the delayed clock pulse and the clock pulse which is the non-inverter and two kinds of antiphases from which a phase differs 180 degrees mutually is generated. A means to use an antiphase clock as a clock for carrying out retiming only of the input frame pulse while using a non-inverter clock as a clock for carrying out retiming of a data signal and the frame pulse, The means which carries out retiming of the frame pulse by which retiming was carried out with the antiphase clock again by the frame pulse by which retiming was carried out with the non-inverter clock, The aforementioned clock pulse phase control circuit including the low pass filter which removes the high frequency component of the wave of the frame pulse by which retiming was carried out again, and the means which applies negative feedback to the control input of the aforementioned delay circuit so that the output of the aforementioned low pass filter may become fixed is obtained. Furthermore, the clock pulse phase control circuit which has the 1st flip-flop which carries out retiming of the frame pulse with a non-inverter clock, the 2nd flip-flop which carries out retiming only of the input frame pulse with an antiphase clock, and the 3rd flip-flop which carries out retiming of the frame pulse by which retiming was carried out with the 2nd flip-flop of the above again by the frame pulse by which retiming was carried out with the 1st flip-flop of the above is obtained.

[0009] [Embodiments of the Invention] Hereafter, with reference to a drawing, the clock pulse phase control circuit by this invention is explained in detail.

[0010] Drawing 1 is drawing showing the clock pulse phase control circuit by one gestalt of operation of this invention. - (g) is drawing showing the example of a wave of each part in this clock pulse phase control circuit, and CLK1 and CLK2 to which a data signal mentions (a) later and a frame pulse, (c), and (d) mention (b) later, and drawing 2 (a) (e) - (g) show the output of each of three flip-flops mentioned later. Drawing 3 is drawing showing the example of a property of this clock pulse phase control circuit.

[0011] In drawing 1 this clock pulse phase control circuit The data signal input terminal 1-1 - 1-n, and a flip-flop (F/F) 2-1 - 2-n, The data signal output terminal 3-1 - 3-n, and the frame pulse (FP) input terminal 4, It has F/F5, the FP output terminal 6, the clock pulse input terminal 7, a delay circuit 8, a buffer 9, F/F 11 and 12, a low pass filter (LPF) 13, an operational amplifier 14, and reference voltage 15.

[0012] With reference to drawing 1 - drawing 3, n data signals inputted into data signal input terminal 1-n are inputted into the data input terminal of F/F52-n. In F/F2-n and 5, retiming of a data input 1-n and the FP is carried out, and they are outputted to data signal output terminal 3-n and the FP output terminal 6.

[0013] The clock inputted from the clock pulse input terminal 7 is supplied to the clock which carries out retiming of F/F 2-n and the FP through a delay circuit 8 and a buffer 9, and it sets this to CLK1. Moreover, to this CLK1, similarly the clock pulse from which a phase differs 180 degrees is outputted from the buffer 9, and sets this to CLK2.

[0014] In F/F11, retiming of the same FP as FP inputted into F/F5 is carried out by CLK2 (drawing 2 (e)). In F/F12, retiming of the output of F/F11 is again carried out by the output FP of F/F5. Here, if operation of F/F5 and F/F11 is observed, while these two F/F has inputted the same FP, the phase relation is carrying out retiming of it based on clock pulses CLK1 and CLK2 different 180 degrees, respectively. For this reason, when F/F11 operates at the phase worst point when F/F5 is operating with the phase optimum point, and F/F5 is operating with the phase optimum point conversely, at F/F11, it will operate at the phase worst point.

[0015] Although drawing 2 shows the case where F/F5 is operating with the phase optimum point, in F/F11, it is operating at the phase worst point and the part which becomes unfixed by one clock generates an output wave like drawing 2 (e). The unfixed part for this one clock is extended with the output FP of F/F5, and a wave like drawing 2 (g) appears in the output of F/F12. When F/F11 is in the phase worst state, since H level and L level are almost equal and the output of this F/F12 appears, the output voltage of LPF13 becomes like drawing 3. And negative feedback is applied to a delay circuit 8 through an operational amplifier 14 and reference voltage 15 so that the output of LPF13 may become the optimum point.

[0016] [Effect of the Invention] The clock pulse phase control circuit by this invention detects the phase contrast between a frame pulse and a clock pulse, since it has a means to control the phase of a clock pulse according to this phase contrast, it is controlled so that a data signal and a clock pulse serve as always optimal phase relation, and phase change of the data based on temperature change, line voltage variation, secular change, etc. and a clock is absorbed, and the optimal phase relation is maintained.

## CLAIMS

### [Claim(s)]

[Claim 1] The clock pulse phase control circuit characterized by having a means to input a data signal, a frame discernment pulse signal, and a clock pulse, to detect the phase contrast between a frame pulse and a clock pulse in the interface circuitry which carries out retiming of a data signal and the frame pulse, and to control the phase of a clock pulse according to this phase contrast.

[Claim 2] The clock pulse phase control circuit according to claim 1 characterized by providing the following. A means to control the phase of the aforementioned clock pulse is a delay circuit to which the phase of the inputted clock pulse is changed according to a control voltage. A means to use an antiphase clock as a clock for carrying out retiming only of the input frame pulse while inputting the delayed clock pulse, generating the clock pulse which is the non-inverter and two kinds of antiphases from which a phase differs 180 degrees mutually and using a non-inverter clock as a clock for carrying out retiming of a data signal and the frame pulse. The means which carries out retiming of the frame pulse by which retiming was carried out with the antiphase clock again by the frame pulse by which retiming was carried out with the non-inverter clock. The means which applies negative feedback to the control input of the aforementioned delay circuit so that the output of the low pass filter which removes the high frequency component of the wave of the frame pulse by which retiming was carried out again, and the aforementioned low pass filter may become fixed.

[Claim 3] The clock pulse phase control circuit according to claim 2 which has the 1st flip-flop which carries out retiming of the frame pulse with a non-inverter clock, the 2nd flip-flop which carries out retiming only of the input frame pulse with an antiphase clock, and the 3rd flip-flop which carries out retiming of the frame pulse by which retiming was carried out with the 2nd flip-flop of the above again by the frame pulse by which retiming was carried out with the 1st flip-flop of the above.

[Translation done.]